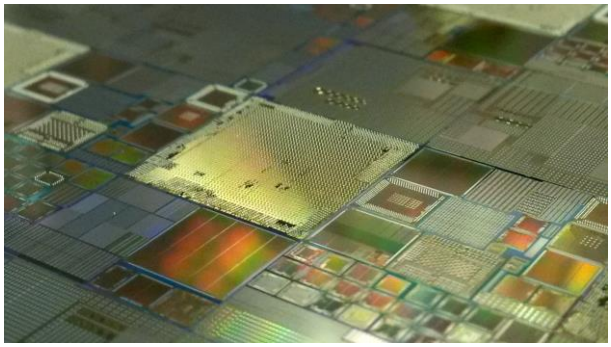
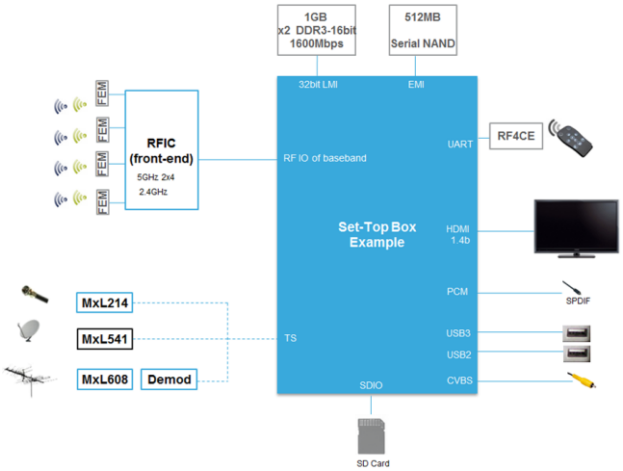
Sicherstellung der elektromagnetischen Verträglichkeit

STMicroelectronics ist nicht nur eines der Top 20 Halbleiterunternehmen weltweit, sondern nutzt auch bereits seit 20 Jahren ANSYS-Simulationswerkzeuge. Das Unternehmen hat einen Workflow entwickelt, der elektromagnetische Fullwave-Extraktion mit der Schaltungssimulation verbindet, um elektromagnetische Interferenzen/elektromagnetische Kompatibilität sowie Probleme der elektromagnetischen Koexistenz im Vorfeld der physischen Prototypenentwicklung zu bestimmen. Der neue Ansatz hat erwiesenermaßen Probleme frühzeitig im Entwicklungsprozess erkannt und behoben, welche andernfalls die Produkteinführung um bis zu vier Monate bzw. die Entwicklungszeit um 20 Prozent verzögern könnten.



Die immer weitere Verbreitung drahtloser (W-LAN, Bluetooth, ZigBee, etc.) und drahtgebundener Kommunikationskanäle in Verbindung mit höheren Datenraten sowie eine zunehmende Packungsdichte haben diejenigen Anforderungen an die Einhaltung der Standards für elektromagnetische Interferenzen (EMI) und elektromagnetische Verträglichkeit (EMV) erheblich erhöht, die zur Vermeidung von Interferenzen zwischen koexistierenden Schnittstellen entwickelt wurden. Üblicherweise werden diese Fragen im Entwicklungsprozess mithilfe eines elektromagnetischen Simulators behandelt, indem ein S-Parameter-Modell aus denjenigen Bereichen extrahiert wird, von denen Probleme erwartet werden. Diese Methode hat eine eingeschränkte Genauigkeit, da das S-Parameter-Modell nicht mit der realen Signalform angeregt wird, sodass die durch die Full-Wave-Simulation vorausberechneten elektrischen und magnetischen Emissionen signifikant von der tatsächlichen Schaltung abweichen können.

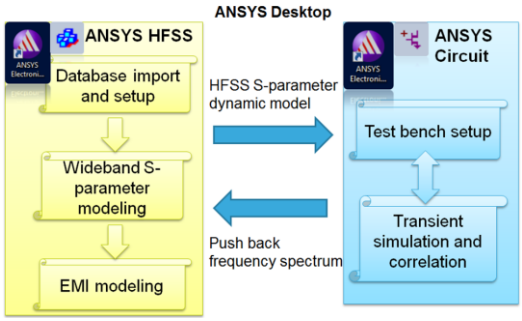
Die Ingenieure von STMicroelectronics, einem weltweit tätigen Halbleiterunternehmen mit innovativen Halbleiterlösungen für autonome Fahrzeuge und das Internet der Dinge, stellen sich dieser Herausforderung mithilfe eines auf dem ANSYS HFSS 3-D Finite-Elemente-Modell (FEM) Electromagnetic Solver basierenden Workflows zur Modellierung der Struktur und zur Berechnung der EM-Felder im Frequenzbereich. Durch die Nutzung der ANSYS Electronics-Desktop-Umgebung wird das extrahierte EM-Modell direkt in das Schaltungsmodell eingebettet. Der enthaltene Schaltungsanalysator ermöglicht eine realitätsnahe Anregung des HFSS-Modells zur genauen Vorhersage der magnetischen und elektrischen Emissionen der realen Schaltung.
Simulationsergebnisse, die mit dieser Methode erstellt werden, korrelieren gut mit experimentellen Messungen, sodass diese bedenkenlos zur Identifizierung von EMI- und Koexistenzproblemen sowie zur Bewertung möglicher Störungsminderungstechniken verwendet werden können. Die ANSYS-Werkzeuge ermöglichen somit die schnelle Entwicklung robuster EMI/EMV-konformer Produkte.



Set-Top-Box zur Validierung neuer Simulationsmethoden.

Sicherstellung der EMI/EMV-Konformität

Kein Aspekt des modernen Elektronikdesigns ist mit größeren Schwierigkeiten verbunden als die Gewährleistung der korrekten Koexistenz der vielen digitalen Schnittstellen, die heute in modernen Elektronikprodukten wie Mobiltelefonen, Set-Top-Boxen und Wearables zu finden sind. Die Herausforderung besteht nun darin, sicherzustellen, dass jede einzelne Schnittstelle in einem Gesamtsystem sich möglichst so verhält, wie es im isolierten Betrieb der Fall wäre. Aktuelle Simulationsmethoden befassen sich mit einzelnen Interaktionen, beispielsweise der Feststellung, ob Double Data Rate Synchronous Dynamic Random Access Memory (DDR SDRAM) mit USB3.1 interferiert. Jedoch verfügen die heutigen Spitzenprodukte oft über so viele verschiedene Funktionalitäten, dass man nicht im Voraus weiß, welche davon eine nachteilige Wechselwirkung aufweisen können. Allzu oft werden diese Probleme erst während des Testens entdeckt. Diese werden zwar mit Hilfe von Trial-and-Error Verfahren abgemildert, allerdings verzögert das dadurch erforderliche Redesign den Produktionsstart.

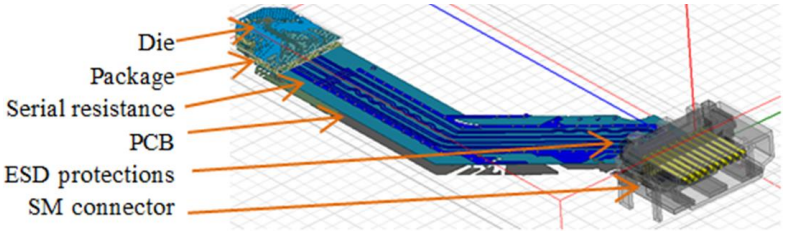


Simulationsworkflow zur Erzeugung einer realitätsnahen Anregung für das Vollwellen-Modell.

Realitätsnahe Anregung des Full-Wave-Modells

Durch die Kombination von verbesserten EM-Simulationstechniken und High-Performance-Computing-Methoden (HPC) ist es nun möglich, die gesamte Leiterplatte mit Full-Wave-Genauigkeit zu simulieren. Die von den STMicroelectronics-Technikern entwickelte Methodik geht noch einen Schritt weiter, indem sie eine transiente Simulation unter Verwendung des Vollwellenmodells mit realitätsnahen Anregungsmustern durchführt. Die Ergebnisse der Schaltungssimulation werden an das extrahierte EM-Modell rückgemeldet, um reale EM-Felder zu reproduzieren. Diese Vorgehensweise wurde auf einem bestehenden digitalen Breitband-Übertragungskanal in einer Set-Top-Box validiert und dazu verwendet, potentielle Methoden der EMI/EMV-Risikominderung im Simulationsraum zu bewerten.

Das HFSS-S-Parameter-Modell wurde in ein SPICE-ähnliches Modell umgewandelt und innerhalb der integrierten Schaltungsumgebung verknüpft. Das HFSS-Modell bewahrte eine überschaubare Größe, indem geeignete Randbedingungen und Anregungen entsprechend der Struktur, das Frequenzband für die S-Parameter-Modellierung, Netzeinstellungen und Konvergenzkriterien definiert wurden. Die Port-Anregungen wurden von Treibern im IBIS-Format unter Verwendung einer pseudozufälligen Bitsequenz eingestellt (PRBS), um einen echten Anwendungsfall zu reproduzieren. Die transiente Simulation erzeugte Augendiagramme und H-Felder, die sehr gut mit den physikalischen Messungen im Zeitbereich korrelierten. Der nächste Schritt bestand darin, die Anregung zur Neuberechnung der EM-Felder zurück in HFSS zu bringen, wobei der Fokus auf die Magnetfelder gerichtet wurde, die in diesem Fall die elektrischen Felder dominieren.



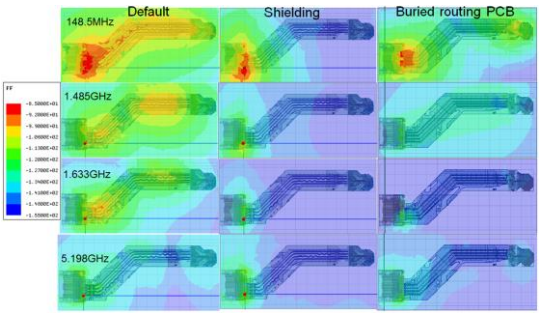
Vollwellen-Modell des Kommunikationskanals.

Bewertung potenzieller Risikominderungsmethoden

Die Techniker von STMicroelectronics untersuchten die Verwendung funktionaler und physikalischer Layout-Techniken zur Minimierung von EMI/EMV-Risiken. Die Erhöhung der Slew-Rate von fünf Prozent auf acht Prozent der Geräteschnittstelle (UI) führte zu einer durchschnittlichen Abschwächung des Taktfrequenzspektrums um 3 dB. Dadurch wurde das abgestrahlte Magnetfeld reduziert. Entwickler

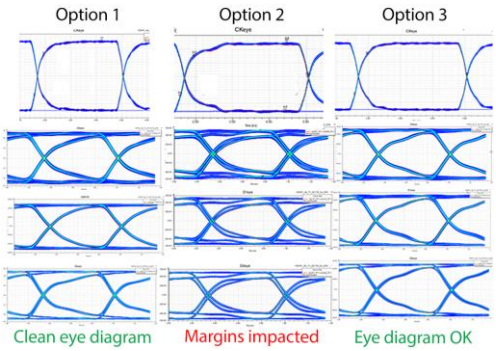
implementierten außerdem das Spread-Spectrum-Clock-Verfahren (SSC) zur Reduzierung der EMI um bis zu 10 dB bei der dritten Oberwelle und 15 dB bei der fünften Oberwelle.

Die Ingenieure bewerteten die Auswirkungen der Platzierung von Gleichtaktfiltern an verschiedenen Stellen auf unterschiedliche Oberwellen. Die Ergebnisse zeigten, dass bei diesem Design die Gleichtaktfilterung mit STMicroelectronics ECMF04-4HSWM10 effizienter ist, wenn der Filter näher an der Signalquelle – in diesem Fall dem Systemon-Chip (SOC) – platziert wird. Die EMI-Strahlung wird bei gleichmäßigen Oberwellen der Clock um bis zu 25 dB reduziert. Die Spezialisten bewerteten außerdem den Einfluss von 1-mm Kupferabschirmungen mit einer Öffnung von 10 mm x 0,6 mm: Dabei stellten sie fest, dass die Intensität des durchschnittlichen H-Feldes von 15 dB auf 20 dB angestiegen ist, außer bei der Schirmresonanzfrequenz von 2,4 GHz bis 2,5 GHz, bei der die Verstärkung nur etwa 6 dB betrug. Dagegen erhöhte erdverlegtes PCB-Routing die H-Feld-Intensität von 5 dB auf 15 dB, mit Ausnahme der Routing-Resonanz, wo die Strahlungsverstärkung lediglich etwa 0,7 dB betrug.



Durchschnittliches H-Feld mit Standarddesign, Abschirmung und erdverlegtem Routing.

Die zunehmende Integration von High-Speed-Digital-Kommunikationstechnologien hat die Schwierigkeiten bei der Einhaltung der EMI/EMV-Standards und der EM-Koexistenz gesteigert. Bei vielen neuen Produkten erfordert die Sicherstellung der Konformität ein Redesign während der Prototyp-Phase. Dieses erhöht nicht nur die Kosten für Engineering und Prototyping, sondern verzögert auch die Einführung neuer Produkte, was zu entsprechenden Umsatzeinbußen führt. Die von STMicroelectronics entwickelte neue Methodik erlaubt eine Vollwellen-EM-Simulation mit praxisnaher Anregung. Die daraus resultierende hohe Genauigkeit bietet die Möglichkeit, EMI/EMV- und Koexistenzprobleme sicher zu erkennen und die relative Wirksamkeit einer Vielzahl von Maßnahmen zur Risikominderung zu bewerten, lange bevor ein Prototyp zur Verfügung steht. Somit kann ein neues, kostenoptimiertes und EMV-konformes Produkt auf den Markt gebracht werden. Umsätze werden darüber hinaus mit einem deutlich geringeren Entwicklungsrisiko und kürzeren Entwicklungszyklen generiert.



Eye-Diagramme der Clock mit Gleichtakt-Filterung, die an drei verschiedenen Stellen verwendet werden.(Alle Bilder: ANSYS)

<u>Kasten: ANSYS</u>

Die 1970 gegründete ANSYS, Inc. hat ihre Firmenzentrale südlich von Pittsburgh, USA und beschäftigt heute rund 3.000 Fachkräfte, darunter viele Experten in Engineering-Bereichen wie z.B. der Strukturmechanik, numerischen Strömungsmechanik, Elektronik und Elektromagnetik, Design-Optimierung, Embedded Software sowie Systems Engineering. Die ANSYS-Software unterstützt Kunden durch schnelle, genaue und verlässliche Simulationen, ihre komplexen Design-Herausforderungen in der Produktentwicklung klar zu strukturieren und mit hohem Erkenntnisgewinn zu bewältigen. In diesem Zuge ermöglicht die ANSYS-Technologie, dass Unternehmen mit hoher Sicherheit vorhersagen können, ob ihre Produkte im Alltag Erfolg haben werden. Somit hilft die ANSYS-Software den Kunden, die Produktintegrität und den Erfolg ihres Unternehmens durch stetige Innovationen sicherzustellen. ANSYS unterhält weltweit mehr als 75 strategisch angesiedelte Vertriebsstandorte sowie ein Netzwerk von Vertriebspartnern in über 40 Ländern. Die deutsche Niederlassung hat ihren Sitz an den Standorten Darmstadt, Hannover, Berlin und Otterfing bei München.